

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-224302

(43)Date of publication of application : 12.08.1994

(51)Int.Cl.

H01L 21/82

G03F 1/08

G06F 15/60

(21)Application number : 05-032702

(71)Applicant : RICOH CO LTD

(22)Date of filing : 27.01.1993

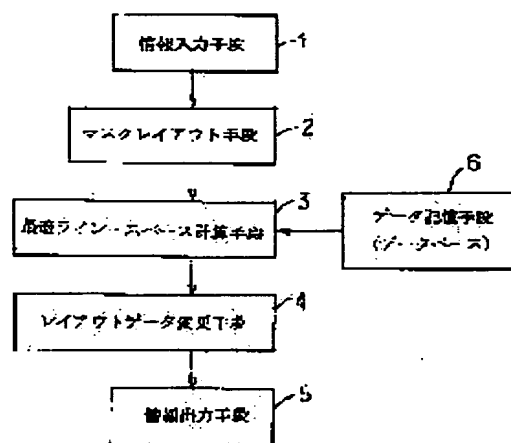
(72)Inventor : AGARI HIDEKI

(54) MANUFACTURING DEVICE FOR WIRING MASK CONSIDERING WIRING DELAY

(57)Abstract:

PURPOSE: To embody optimum line width and space at every wiring part in the case of determining mask layout.

CONSTITUTION: A mask layout means 2 draws out mask layout according to figures inputted from an information inputting means 1, and an optimum line and space calculating means 3 detects data of wiring parts from the mask layout pattern, and finds optimum line and space which minimize RC delay from the resistance value and the capacitance value at each wiring part. A layout data changing means 4 changes mask layout so that the line and space at each wiring part may be the optimum line and space calculated respectively.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-224302

(43)公開日 平成 6 年(1994) 8 月12日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/82				
G 0 3 F 1/08		D 7369-2H		
G 0 6 F 15/60	3 7 0 P	7623-5L		
		9169-4M	H 0 1 L 21/ 82	W

審査請求 未請求 請求項の数3 F D (全 5 頁)

(21)出願番号 特願平5-32702

(22)出願日 平成 5 年(1993) 1 月27日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込 1 丁目 3 番 6 号

(72)発明者 上里 英樹

東京都大田区中馬込 1 丁目 3 番 6 号 株式
会社リコー内

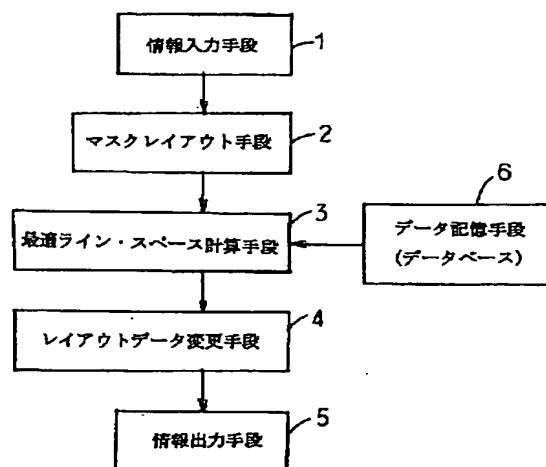
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 配線遅延を考慮した配線マスク製造装置

(57)【要約】

【目的】 各配線部ごとに最適な線幅とスペースをマスクレイアウト上で実現する。

【構成】 マスクレイアウト手段 2 では情報入力手段 1 から入力された図形に従ってマスクレイアウトを作成し、最適ライン・スペース計算手段 3 でマスクレイアウトパターンから配線部のデータを検出し、各配線部における抵抗値と容量値とから R C 遅延が最小になる最適ライン・スペースを求める。レイアウト・データ変更手段 4 では各配線部のライン・スペースがそれぞれの計算された最適ライン・スペースになるようにマスクレイアウトを変更する。



【特許請求の範囲】

【請求項1】 情報入力手段から入力された図形に従ってマスクレイアウトを作成するマスクレイアウト手段と、作成されたマスクレイアウトパターンから配線部のデータを検出し、各配線部における抵抗値と容量値とからRC遅延が最小になる最適ライン・スペースを求める最適ライン・スペース計算手段と、

各配線部のライン・スペースがそれぞれの計算された最適ライン・スペースになるように、前記マスクレイアウトを変更するレイアウト・データ変更手段とを備えた配線マスク製造装置。

【請求項2】 前記ライン・スペース計算手段は、与えられた配線ピッチに対し、製造可能な最小ライン幅 L_{min} 、最小スペースに対応する最大ライン幅 L_{max} 及びその中間のライン幅の3点で抵抗値と容量値の積RCを計算し、

最小ライン幅又は最大ライン幅のときにRCが最小であればその最小ライン幅又は最大ライン幅を採用し、中間のライン幅のRCが最小であれば、最小ライン幅 L_{min} と最大ライン幅 L_{max} の間の複数のライン幅についてRCを計算し、RCが最小値となるライン幅を採用する請求項1に記載の配線マスク製造装置。

【請求項3】 配線層の段差形状とその容量のシミュレーション結果をデータベースとして有し、前記ライン・スペース計算手段は前記データベースから対応する段差形状を検索してその容量値を読み出し、RCを計算する請求項1又は2に記載の配線マスク製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路装置の写真製版工程で用いるマスクのパターンを製造する装置に関し、特に配線層の配線レイアウトパターンを製造する配線マスク製造装置に関するものである。

【0002】

【従来の技術】半導体集積回路装置（以下、LSIという）の製造プロセスで、配線や拡散層などのパターンのレイアウトを作成するものとしてレイアウト・エディタが用いられている。これはコンピュータ上のソフトウェアとして実現されている。レイアウト・エディタでは、マウスやキーボードなどの外部入力装置から各層の図形を入力することによってLSIのマスクパターンを作成する。各層ごとに配線ライン幅とスペースをいくらにするかというようなデザインルールという図形の制限がある。これは主に製造技術上パターン化できる最小の線幅などの制約により定められている。作成されたマスクレイアウトがこのデザインルールに従っているか否かのチェックもコンピュータにより自動的に行なわれている。

【0003】配線層のマスクレイアウトが作成されたとき、その抵抗値Rと容量Cの積RCによる遅延がLSIの動作速度を決める上で重要である。RとCの積はRC

遅延と呼ばれ、配線ピッチが定まるとRCが最小になる配線幅を決定することができる。RCと配線幅の関係は、例えば雑誌「solid state technology/日本版/January 1992」の図1に例示されている。

【0004】あるLSIがあるデザインルールで設計されたとすれば、そのLSIの配線の幅とスペースはそのデザインルールに従った均一なものとして設計される。配線のレイアウトパターンに対してはその配線容量と抵抗値とからRC遅延を計算することは従来からも行なわれている。そのような計算方法として、例えば特開平1-130280号公報や特開平2-239373号公報などに記載されている。

【0005】LSI全体の性能目標が与えられたら多層メタル配線の設計ルールは次のような観点から定められる。(a)配線メタルのピッチはセルサイズや集積密度に合うように選ばれる。(b)配線メタルの線幅及び長さ、配線層間の絶縁膜の厚さは遅延配線モデルに基づいた計算結果を参考にLSIの性能を保証するように決定する。(c)どんなプロセスを選択するかは製造のし易さを主眼点において決める。(d)配線の寸法や層間絶縁膜の厚さ、ビヤホールの寸法などは用いる材料やプロセスの整合性や信頼性などから決める。

【0006】

【発明が解決しようとする課題】配線の線幅やスペース幅を決定する際に、RC遅延が考慮され、容量はフリッジ容量及び近接する配線とのカップリング容量も考慮し、単一線路としては最悪の状況下で計算される。しかし、実際の回路においては配線部によって条件が異なるので、LSI全体として一定に定められた線幅やスペースは、一部では最適になることもあるが、他の部分では最適にはならない。そこで、本発明は実際の回路において各配線部ごとに最適な線幅とスペースをマスクレイアウト上で実現することにより、同じチップサイズでも配線遅延の小さい回路を実現することを目的とするものである。

【0007】

【課題を解決するための手段】本発明の配線マスク製造装置は、図1に示されるように、情報入力手段1から入力された図形に従ってマスクレイアウトを作成するマスクレイアウト手段2と、作成されたマスクレイアウトパターンから配線部のデータを検出し、各配線部における抵抗値と容量値とからRC遅延が最小になる最適ライン・スペースを求める最適ライン・スペース計算手段3と、各配線部のライン・スペースがそれぞれの計算された最適ライン・スペースになるようにマスクレイアウトを変更するレイアウト・データ変更手段4とを備えている。5は変更されたマスクレイアウトを出力する情報出力手段、6はデータベースなどを記憶しているデータ記憶手段である。

【0008】好ましい態様では、最適ライン・スペース

計算手段3は、与えられた配線ピッチに対し、製造可能な最小ライン幅 L_{min} 、最小スペースに対応する最大ライン幅 L_{max} 及びその中間のライン幅の3点で抵抗値と容量値の積 RC を計算し、最小ライン幅又は最大ライン幅のときに RC が最小であればその最小ライン幅又は最大ライン幅を採用し、中間のライン幅の RC が最小であれば、最小ライン幅 L_{min} と最大ライン幅 L_{max} の間の複数のライン幅について RC を計算し、 RC が最小値となるライン幅を採用するようにライン幅を決定する。さらに好ましい態様では、配線層の段差形状とその容量のシミュレーション結果をデータベースとして備えており、最適ライン・スペース計算手段3はそのデータベースから対応する段差形状を検索してその容量値を読み出し、 RC を計算する。

【0009】

【作用】本発明の動作を図1と図2を参照して説明する。マスクレイアウト手段2は通常のレイアウト作業で用いられているレイアウト・エディタや、レイアウトパターンを自動的に発生する装置などを含んだものである。レイアウトパターンが作成されると、最適ライン・スペース計算手段3では、まずそのレイアウトパターンから配線部のデータが検索されて配線パターンが二次元パターンとして得られる。その検索された配線部のデータを元にして複数に分割された各配線部ごとに抵抗値 R と容量値 C が計算され、 RC 遅延が計算される。このとき、配線の抵抗率や層間絶縁膜の比誘電率、層間絶縁膜の膜厚などのプロセスパラメータはデータ記憶手段6にデータベースとして記憶されており、データ記憶手段6から読み出して計算に用いられる。与えられたピッチに対して RC 遅延が最小になるような最適ライン幅とスペースが求められる。レイアウトデータ変更手段4は計算された RC 遅延最小のライン・スペースになるように、レイアウトデータを変更し、情報出力手段5から出力する。

【0010】

【実施例】一例として図3に示されるように、1層目メタル配線14と3層目メタル配線18が紙面の面内方向に延びるように互いに平行に形成されている。2層目のメタル配線15、16、17がメタル配線14と18の間に挟まれ、メタル配線14との間にはシリコン酸化膜の層間絶縁膜19を介し、メタル配線18との間にはシリコン酸化膜の層間絶縁膜20を介してメタル配線14、18に直交する方向に形成されているものとする。2層目メタル配線16に着目すると、その配線16の抵抗 R は配線層の厚さ、幅及び抵抗率から計算により導き出される。容量 C は2層目の配線どおしの容量（配線16と配線15の間及び配線16と配線17の間）と、層間絶縁膜19を介して1層目の配線14との間に存在する容量と、層間絶縁膜20を介して3層目の配線18との間に存在する容量との和となる。配線と配線との間の

容量を計算するには、フリンジ容量を考慮することも重要であるので、例えばデバイスシミュレータを利用して、容量を求めることができる。

【0011】最適なライン・スペースを導き出す方法について説明する。最適なライン・スペースは、図3のようにピッチ P が与えられたとき、ライン幅 L とスペース S を最適化して RC 遅延を最小にすることであり、それにより一層高速動作可能な配線を得るものである。製造技術上パターン化できる最小のライン幅 L_{min} と最小のスペース S_{min} が存在する。これらは製造技術の向上や最新製造装置の導入により微細化される傾向にある。もし、ピッチ P が L_{min} と S_{min} とからなるピッチに設定されたときは、ライン・スペースを変更することはできない。

【0012】もし、そうでない場合、即ち L と S がともに最小値である場合を除いて、まずマスクレイアウトから図3のような配線部のデータを導き出す。マスクレイアウトのデータからはライン幅 L とスペース S が得られる。製造方式によって配線の膜厚や配線層間の層間絶縁膜の膜厚が定められているので、それらのデータにより容易に配線の断面図を導き出すことができる。

【0013】次に、ある配線、例えば図3の配線16に着目し、その配線抵抗 R とその配線に連なる配線容量 C を計算する。最小の RC を導出するには、 L_{min} のときと S_{min} （このときは L は L_{max} となる）の RC を計算し、さらにその中央値 $(L_{min} + L_{max}) / 2$ のときの RC を計算する。この3点の RC を比較し、 L_{min} 又は L_{max} のときの RC が最小になればそのときの L_{min} 又は L_{max} をライン幅として採用する。もし $(L_{min} + L_{max}) / 2$ のときの RC が最小になれば、 L_{min} と L_{max} の間に RC の極小値をもつことになるので、 L_{min} と L_{max} の間の複数のライン幅について RC を計算し、最小の RC を与える L をライン幅として採用する。

【0014】最適なライン・スペースを導き出す他の方法は、配線の膜厚や層間絶縁膜の膜厚などの条件に応じて最適なライン幅をデータとしてもつデータベースを作成しておき、そのデータベースから最適なライン・スペースを読み出す方法である。ある配線部で最適なライン幅とスペースが決まると、その配線部ではレイアウトデータをその最適な値に自動的に変換する。他の配線部についても同様に最適なライン幅とスペースを決定し、レイアウトデータをその最適値に変換していく。

【0015】図3のモデルは配線層が平坦なものであるが、実際の層間絶縁膜は平坦ではないために配線層に段差ができる。この段差を考慮する場合は、配線層の段差形状とその容量のシミュレーション結果をデータベースとして保持しておき、そのデータベースから対応する段差形状を検索してその容量値を読み出し、 RC を計算するようにすればよい。

【0016】

5

6

【発明の効果】本発明ではLSIの各配線部で配線のRC遅延が最小になるようにレイアウトデータのライン・スペースを変更するようにしたので、配線部ごとにライン幅とスペースが最適化され、同じセルサイズのLSIであれば一層高速な回路を実現することができる。

【図面の簡単な説明】

【図1】本発明を示すブロック図である。

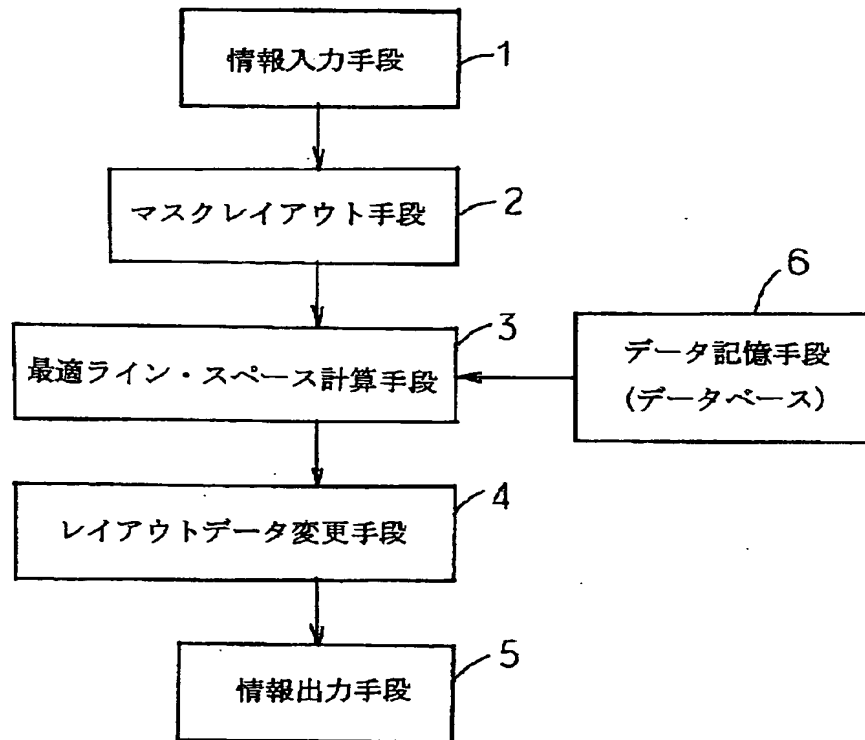
* 【図2】動作の一例を示すフローチャート図である。

【図3】配線の一例を示す断面図である。

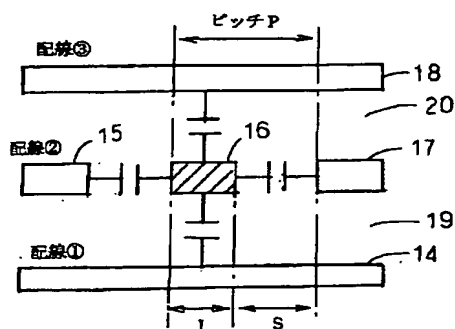
【符号の説明】

- 2 マスクレイアウト手段
- 3 最適ライン・スペース計算手段
- 4 レイアウトデータ変更手段
- 6 データ記憶手段

【図1】



【図3】



【図2】

